



DEUTSCHES  
PATENT- UND  
MARKENAMT

Patentschrift  
DE 198 12 643 C 1

51 Int. Cl. 6:  
H 01 L 29/78

- 21 Aktenzeichen: 198 12 643.3-33  
22 Anmeldetag: 23. 3. 98  
23 Offenlegungstag: -  
24 Veröffentlichungstag  
der Patenterteilung: 8. 7. 99

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:  
Siemens AG, 80333 München, DE

72 Erfinder:  
Schwalke, Udo, Dr., 84431 Heldenstein, DE; Pindl,  
Stephan, 85238 Petershausen, DE

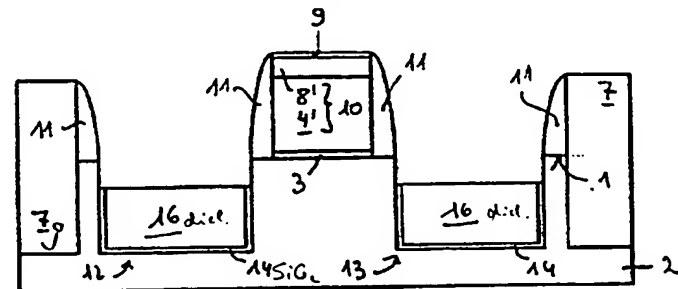
56 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

DE-PS 197 49 378  
DE-PS 195 35 629

Techn. hochintegr. Schaltungen, p. 346,  
Sp. Verlag, 2. Aufl., Widmann, Mader, Friedrich;  
J.P. Colinge, Silicon on Insulator Techn.,  
Kluwer, 1991, pp. 107-113;  
VLSI Symp. on Techn., pp. 72-173;

54 Schaltungsstruktur mit einem MOS-Transistor und Verfahren zu deren Herstellung

57 Ein Halbleitersubstrat weist zwei Source-/Drain-Gebiete (17, 18) auf, zwischen denen an einer Hauptfläche (1) des Halbleitersubstrats (2) eine Gateelektrode (10) angeordnet ist. Unterhalb der Source-/Drain-Gebiete (17, 18) ist eine dielektrische Struktur (16) angeordnet, die unterhalb der Gateelektrode (10) unterbrochen ist. Die Source-/Drain-Gebiete (17, 18) weisen jeweils eine Halbleiterstruktur (17) auf, die die Hauptfläche (1) überragt. Die Gateelektrode (10) weist ein unteres Elektrodenteil (4') und ein oberes Elektrodenteil (8') auf. Dadurch wird eine sehr planare Struktur bei gleichzeitig reduzierten parasitären Kapazitäten erzielt.



DE 198 12 643 C 1

Beschreibung

Die Erfindung betrifft eine Schaltungsstruktur mit einem MOS-Transistor mit planarer Oberfläche und niedrigen parasitären Kapazitäten sowie ein Verfahren zu deren Herstellung.

In integrierten Schaltungen mit MOS-Transistoren werden zunehmend leistungsfähige Mehrlagenmetallisierungen zur Ansteuerung der Schaltung verwendet. Dabei sind oberhalb einer Gateebene, in der Gateelektrode der MOS-Transistor angeordnet sind, mehrere, meist mehr als drei, Metallebenen angeordnet, in denen Leiterbahnen verlaufen. Mit zunehmender Miniaturisierung der integrierten Schaltungen werden erhöhte Anforderungen an die Planarität im Bereich der Gateebene gestellt. Dieses ist insbesondere bei Strukturgrößen  $\leq 0,2 \mu\text{m}$  der Fall.

Ein weiteres Problem stellen parasitäre Kapazitäten der MOS-Transistoren dar, die insbesondere bei Low Voltage/Low Power-Schaltungen die Schaltgeschwindigkeit reduzieren.

Zur Verbesserung der Planarität in der Gateebene ist bekannt (Widmann, Mader, Friedrich, "Technologie hochintegrierter Schaltungen", p. 346, Springer Verlag, 2. Auflage), in der Gateebene Füllstrukturen aus Polysilizium zu erzeugen. Diese Füllstrukturen haben schaltungstechnisch keine Funktion. Sie dienen lediglich einer gleichmäßigen Belegung der Fläche mit Strukturen, deren Höhe gleich der Höhe der Gateelektroden ist. Die Füllstrukturen müssen, um schädliche Aufladungen zu vermeiden, mit einer Versorgungsspannung verbunden werden. Die Herstellung dieser Verbindung mit der Versorgungsspannung ist aufwendig. Ferner führen diese Verbindungen mit der Versorgungsspannung zu einer Erhöhung der parasitären Kapazitäten.

In DE-PS 195 35 629 ist vorgeschlagen worden, zur Verbesserung der Planarität eine CMOS-Schaltung mit MOS-Transistoren, die eine Gateelektrode mit einem unteren Elektrodenteil und einem oberen Elektrodenteil aufweisen und die von einer Isolationsstruktur umgeben sind, deren Höhe mindestens so groß wie die Höhe des unteren Elektrodenteils ist, den Bereich zwischen der Gateelektrode und der Isolationsstruktur durch selektive Epitaxie aufzufüllen. Das selektiv aufgewachsene Material stellt dabei einen Teil der Source-/Drain-Gebiete dar.

Zur Reduzierung parasitärer Kapazitäten ist es bekannt (siehe J. P. Colinge, "Silicin-on-Insulator Technology", Kluwer, 1991, S. 107 bis 113), als Substratmaterial SOI-Substrate zu verwenden. Diese sind jedoch im Vergleich zu üblicherweise verwendeten Siliziumsubstraten sehr teuer.

Eine weitere Möglichkeit zur Reduzierung parasitärer Kapazitäten, die auf die Kapazität der Source-/Drain-Gebiete zum Substrat zurückgehen, besteht darin, Isolationsgebiete näher an die Gateelektrode heranzulegen (siehe K. Imai, C. Hu, T. Andoh, Y. Kinoshita, Y. Matsubara, T. Tsumi, T. Yamazaki, "0.15  $\mu\text{m}$  delta-doped CMOS with on-field source/drain contacts", 1996, VLSI Symposium on Techn., p. 72 bis 173). Dabei wird mit Hilfe einer zusätzlichen Maske und selektiver Epitaxie ein Teil der Source-/Drain-Gebiete an der Oberfläche der Isolationsgebiete angeordnet. Da wegen unvermeidlichen Justiertoleranzen das Isolationsgebiet nicht beliebig nahe an das Gate herangeführt werden kann, wird die parasitäre Kapazität nur teilweise unterdrückt. Ferner werden durch die Justiertoleranzen Schwankungen in der Kapazität bewirkt.

In der älteren deutschen Patentanmeldung 197 49 378.5 ist ein MOS-Transistor vorgeschlagen worden, der zur Reduzierung von Junction-Substratkapazitäten unterhalb von Source und Drain eine Schicht aus isolierendem Material aufweist. Diese Schicht aus isolierendem Material reicht bis

an den Kanal heran und ist höchstens unterhalb eines Teils der Fläche zwischen Source und Drain angeordnet. Das Problem der Planarität des MOS-Transistors wurde dabei nicht angesprochen.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsstruktur mit einem MOS-Transistor anzugeben, bei der die parasitären Kapazitäten reduziert sind. Ferner soll ein Verfahren für eine derartige Schaltungsanordnung angegeben werden.

Diese Aufgabe wird gelöst durch eine Schaltungsstruktur gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 4. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

Die Schaltungsstruktur ist in einem Halbleitersubstrat, vorzugsweise einer monokristallinen Siliziumscheibe, integriert. Das Halbleitersubstrat weist ein erstes Source-/Drain-Gebiet und ein zweites Source-/Drain-Gebiet auf, zwischen denen an einer Hauptfläche des Halbleitersubstrats ein Gate-dielektrikum und eine Gateelektrode angeordnet sind. Das erste Source-/Drain-Gebiet und das zweite Source-/Drain-Gebiet weisen jeweils eine Siliziumstruktur auf, die die Hauptfläche überragt. Unterhalb des ersten Source-/Drain-Gebietes und des zweiten Source-/Drain-Gebietes ist in dem Halbleitersubstrat eine dielektrische Struktur angeordnet, die unterhalb der Gateelektrode unterbrochen ist. Auf diese Weise wird die parasitäre Kapazität zwischen dem ersten Source-/Drain-Gebiet bzw. dem zweiten Source-/Drain-Gebiet und dem Halbleitersubstrat reduziert. Die Gateelektrode weist ein unteres Elektrodenteil und ein oberes Elektrodenteil auf. Da die Siliziumstruktur die Hauptfläche überragt, wird die durch die Gateelektrode verursachte Unebenheit an der Hauptfläche reduziert. Da die Gateelektrode aus einem unteren Elektrodenteil und einem oberen Elektrodenteil zusammengesetzt ist, ist der MOS-Transistor mit verbesserter Planarität herstellbar.

Vorzugsweise ist der MOS-Transistor von einer Isolationsstruktur umgeben, deren Höhe größer oder gleich der Höhe des unteren Elektrodenteils ist. Damit wird die Planarität der Schaltungsstruktur weiter verbessert.

Im Hinblick auf die Planarität der Schaltungsstruktur ist es darüber hinaus vorteilhaft, die Siliziumstrukturen mit solchen Abmessungen vorzusehen, daß sie in der Höhe im wesentlichen mit dem unteren Elektrodenteil abschließen.

Zur Herstellung der Schaltungsstruktur wird auf die Hauptfläche des Halbleitersubstrats eine dielektrische Schicht und eine erste Elektrodenschicht aufgebracht. Nachfolgend wird eine Isolationsstruktur gebildet, die die dielektrische Schicht und die erste Elektrodenschicht strukturiert. Die Isolationsstruktur wird vorzugsweise als mit Isolationsmaterial gefüllter Isolationsgraben, der die dielektrische Schicht und die erste Elektrodenschicht durchtrennt und dadurch strukturiert, oder durch lokale Oxidation in einem LOCOS-Prozeß gebildet. Bei der lokalen Oxidation werden Teile der ersten Elektrodenschicht in isolierendes Material verwandelt. Dadurch kommt es zu einer Strukturierung der ersten Elektrodenschicht.

Durch weiteres Strukturieren der ersten Elektrodenschicht wird eine Gateelektrode gebildet. Auf einander gegenüberliegenden Seiten der Gateelektrode werden ein erster und ein zweiter Graben erzeugt, die jeweils in das Halbleitersubstrat hineinreichen. Es wird eine dielektrische Struktur gebildet, die den Boden des ersten Grabens und den Boden des zweiten Grabens bedeckt. Die dielektrische Struktur kann dabei aus mehreren Teilen bestehen. In dem ersten Graben und in dem zweiten Graben wird oberhalb der dielektrischen Struktur jeweils eine Siliziumstruktur gebildet, die Teil des ersten Source-/Drain-Gebietes bzw. des zweiten Source-/Drain-Gebietes ist.

Vorzugsweise wird die dielektrische Struktur so gebildet, daß an den Seitenwänden des ersten Grabens und des zweiten Grabens oberhalb der dielektrischen Struktur jeweils die Halbleiteroberfläche freiliegt. Die Siliziumstrukturen werden dann durch selektive Epitaxie erzeugt. Bei der selektiven Epitaxie wird die dielektrische Struktur seitlich überwachsen.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand der Figuren erläutert.

Fig. 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit einer dielektrischen Schicht, einer ersten Elektrodenschicht und einer isolierenden Schicht.

Fig. 2 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung eines Isolationsgrabens.

Fig. 3 zeigt den Schnitt durch das Halbleitersubstrat nach Auffüllen des Isolationsgrabens mit isolierendem Material und Aufbringen einer zweiten Elektrodenschicht.

Fig. 4 zeigt den Schnitt durch das Substrat nach Bildung einer Gateelektrode und Ätzung eines ersten Grabens und eines zweiten Grabens.

Fig. 5 zeigt den Schnitt durch das Substrat nach Abscheidung einer dritten isolierenden Schicht und einer Siliziumnitridschicht.

Fig. 6 zeigt den Schnitt durch das Substrat nach Rückätzen der Siliziumnitridschicht.

Fig. 7 zeigt den Schnitt durch das Substrat nach Freilegen der Halbleiteroberfläche an den Seitenwänden des ersten Grabens und des zweiten Grabens.

Fig. 8 zeigt das Substrat nach Aufwachsen einer Halbleiterstruktur durch selektive Epitaxie.

Auf eine Hauptfläche 1 eines Halbleitersubstrats 2 wird eine dielektrische Schicht 3 aufgewachsen (siehe Fig. 1). Das Halbleitersubstrat 2 ist eine monokristalline Siliziumscheibe. Die dielektrische Schicht 3 wird durch thermische Oxidation in einer Schichtdicke von 5 nm aufgewachsen.

Auf die dielektrische Schicht 3 wird eine erste Elektrodenschicht 4 abgeschieden. Die erste Elektrodenschicht 4 wird durch CVD-Abscheidung von Polysilizium und anschließend Dotierung mit Bor bzw. Arsen in einer Schichtdicke von 100 bis 200 nm erzeugt.

Auf die erste Elektrodenschicht 4 wird eine erste isolierende Schicht 5 aus Siliziumnitrid oder Siliziumoxid in einer Schichtdicke von 50 nm aufgebracht.

Unter Verwendung einer photolithographisch erzeugten Maske wird durch anisotropes Ätzen mit HBr, Chlor und He ein Isolationsgraben 6 gebildet. Der Isolationsgraben 6 umgibt ein aktives Gebiet ringförmig (siehe Fig. 2). Bei der Grabenätzung wirkt die erste isolierende Schicht 5 als Hartmaske. Die Tiefe des Isolationsgrabens 6 von der Hauptfläche 1 bis zum Boden des Isolationsgrabens 6 beträgt 250 nm. Bei der Grabenätzung werden die erste Elektrodenschicht 4 und die dielektrische Schicht 3 strukturiert.

Durch Füllen des Isolationsgrabens 6 mit isolierendem Material wird nachfolgend eine Isolationsstruktur 7 erzeugt. Dazu wird zunächst eine thermische Oxidation durchgeführt, bei der freiliegende Siliziumflächen des Halbleitersubstrats 2 sowie der ersten Elektrodenschicht 4, die bei der Ätzung des Isolationsgrabens 6 freigelegt wurden, mit  $\text{SiO}_2$  versehen werden. Anschließend wird in einem CVD-Verfahren eine Siliziumoxidschicht abgeschieden, die den Isolationsgraben 6 vollständig auffüllt. Diese Siliziumoxidschicht wird nachfolgend zum Beispiel durch chemisch-mechanisches Polieren planarisiert. Dabei wird die erste isolierende Schicht 5 an der Oberfläche der ersten Elektrodenschicht 4 entfernt. Die Isolationsstruktur 7 schließt in der Höhe mit der ersten Elektrodenschicht 4 ab (siehe Fig. 3).

Auf die Oberfläche der ersten Elektrodenschicht 4 und der Isolationsstruktur 7 wird nachfolgend eine zweite Elek-

trodenschicht 8 und eine zweite isolierende Schicht 9 aufgebracht. Die zweite Elektrodenschicht 8 wird in einer Schichtdicke von 50 nm aus dotiertem Polysilizium, TiN, Metall, oder ähnlichem gebildet. Die zweite isolierende Schicht 9 wird in einer Schichtdicke von 20 nm aus  $\text{SiO}_2$  gebildet.

Unter Verwendung einer photolithographisch erzeugten Maske (nicht dargestellt) werden nachfolgend die zweite isolierende Schicht 9, die zweite Elektrodenschicht 8 und die erste Elektrodenschicht 4 strukturiert. Dabei wird eine Gateelektrode 10 gebildet, die eine erste Teilelektrode 4' und eine zweite Teilelektrode 8' umfaßt. Die erste Teilelektrode 4' entsteht durch Strukturierung der ersten Elektrodenschicht 4, die zweite Teilelektrode 8' entsteht durch Strukturierung der zweiten Elektrodenschicht 8 (siehe Fig. 4).

Durch konforme Abscheidung und anisotropes Ätzen einer  $\text{SiO}_2$ -Schicht werden nachfolgend an den Flanken der Gateelektrode 10 sowie der Isolationsstruktur 7  $\text{SiO}_2$ -Spacer 11 gebildet. Die  $\text{SiO}_2$ -Schicht wird durch CVD-Abscheidung in einer Schichtdicke von 100 nm gebildet.

Durch anisotropes Ätzen mit HBr, Chlor und Helium werden seitlich der Gateelektrode 10 jeweils zwischen Teilen der Isolationsstruktur 7 und der Gateelektrode 10 ein erster Graben 12 und ein zweiter Graben 13 gebildet. Dabei wirken die Isolationsstruktur 7, die zweite isolierende Schicht 9 sowie die  $\text{SiO}_2$ -Spacer 11 als Maske. Die Tiefe des ersten Grabens 12 sowie des zweiten Grabens 13 beträgt 100 bis 200 nm gemessen von der Hauptfläche 1 des Halbleitersubstrats 2 bis zum Boden des ersten Grabens 12 bzw. zweiten Grabens 13. Der erste Graben 12 und der zweite Graben 13 werden somit selbstjustiert zur Gateelektrode 10 und der Isolationsstruktur 7 gebildet.

Anschließend wird eine  $\text{SiO}_2$ -Schicht 14 in einer Schichtdicke von 20 nm konform abgeschieden. Darauf wird eine  $\text{Si}_3\text{N}_4$ -Schicht 15 in einer Schichtdicke von 600 nm aufgebracht. Die  $\text{Si}_3\text{N}_4$ -Schicht 15 füllt den ersten Graben 12 und den zweiten Graben 13 vollständig auf (siehe Fig. 5). Die  $\text{Si}_3\text{N}_4$ -Schicht 15 wird zum Beispiel durch chemisch-mechanisches Polieren planarisiert. Durch eine isotrope Naßätzung wird die  $\text{Si}_3\text{N}_4$ -Schicht 15 geätzt. Dabei verbleibt eine dielektrische Struktur 16 am Boden des ersten Grabens 12 und des zweiten Grabens 13 (siehe Fig. 6). Die Höhe der dielektrischen Struktur 16 über dem Boden des ersten Grabens 12 und des zweiten Grabens 13 beträgt 50 bis 150 nm. Sie ist geringer als der Abstand zwischen der Hauptfläche 1 und dem Boden des ersten Grabens 12 bzw. des zweiten Grabens 13.

Durch naßchemisches Ätzen mit HF-Säure werden freiliegende Teile der  $\text{SiO}_2$ -Schicht 14 entfernt. Dabei wird die Halbleiteroberfläche des Halbleitersubstrats 2 oberhalb der dielektrischen Struktur 16 im ersten Graben 12 und im zweiten Graben 13 freigelegt (siehe Fig. 7).

Durch selektive Epitaxie wird oberhalb der dielektrischen Struktur 16 eine Halbleiterstruktur 17 aus monokristallinem Silizium aufgewachsen. Die Halbleiterstruktur 17 wächst sowohl oberhalb des ersten Grabens 12 als auch oberhalb des zweiten Grabens 13 auf. Die selektive Epitaxie erfolgt unter Verwendung eines  $\text{H}_2$ ,  $\text{SiH}_2\text{Cl}_2$  und HCl enthaltenden Prozeßgases im Druckbereich von 1 bis 100 Torr und im Temperaturbereich von 700°C bis 950°C. Die Halbleiterstruktur 17 kann sowohl durch in situ dotierte Abscheidung als auch durch undotierte Abscheidung und nachfolgende Dotierung durch Implantation mit Bor bzw. Arsen erzeugt werden. Durch einen Tempereschritt werden in dem Halbleitersubstrat 2 der Halbleiterstruktur 17 benachbarte dotierte Gebiete 18 durch Ausdiffusion aus der Halbleiterstruktur 17 gebildet. Die Halbleiterstruktur 17 und die ihr benachbarten dotierten Gebiete 18 bilden jeweils gemeinsam eines der

Source-/Drain-Gebiete (siehe 8). Die Halbleiterstruktur 17 wird in einer solchen Höhe aufgewachsen, daß sie der Höhe der Isolationsstruktur 7 entspricht.

Nach Entfernen der zweiten isolierenden Schicht 9 zum Beispiel mit HF-Säure folgen die üblichen Prozeßschritte zur Fertigstellung der Schaltungsstruktur wie Abscheidung einer passivierenden Schicht, Kontaktlochoffnung, Metallisierung und ähnliches. Diese Schritte sind nicht im einzelnen dargestellt.

Es sind eine Vielzahl von Varianten des erläuterten Ausführungsbeispiels möglich. Insbesondere kann die Isolationsstruktur 7 unter Verwendung einer Siliziumnitrid aufweisenden Maske durch lokale Oxidation der ersten Elektrodenschicht gebildet werden. Durch Umwandlung von Silizium in  $\text{SiO}_2$  wird dabei die erste Elektrodenschicht ebenfalls strukturiert. Ferner kann die Verwendung der  $\text{SiO}_2$ -Schicht 14 entfallen, sofern die naßchemische Ätzung der  $\text{Si}_3\text{N}_4$ -Schicht 15 mit ausreichender Selektivität zu Silizium durchführbar ist.

#### Patentansprüche

1. Schaltungsstruktur mit einem MOS-Transistor,
  - bei der ein Halbleitersubstrat (2) zwei Source-/Draingebiete (17, 18) aufweist, zwischen denen an einer Hauptfläche (1) des Halbleitersubstrats (2) ein Gatedielektrikum (3) und eine Gateelektrode (4) angeordnet sind,
  - bei der die Source-/Draingebiete (17, 18) jeweils eine Halbleiterstruktur (17) aufweisen, die die Hauptfläche (1) überragt,
  - bei der in dem Halbleitersubstrat unterhalb der Source-/Draingebiete (17, 18) eine dielektrische Struktur (16) angeordnet ist, die unterhalb der Gateelektrode (10) unterbrochen ist,
  - bei der die Gateelektrode (10) ein unteres Elektrodenteil (4') und ein oberes Elektrodenteil (8') aufweist.
2. Schaltungsstruktur nach Anspruch 1, bei der eine Isolationsstruktur (7) vorgesehen ist, die den MOS-Transistor umgibt und deren Höhe größer oder gleich der Höhe des unteren Elektrodenteils (4') ist.
3. Schaltungsstruktur nach Anspruch 1 oder 2, bei der die Halbleiterstrukturen (17) in der Höhe im wesentlichen mit dem unteren Elektrodenteil (4') abschließen.
4. Verfahren zur Herstellung einer Schaltungsstruktur mit einem MOS-Transistor,
  - bei dem auf eine Hauptfläche (1) eines Halbleitersubstrats (2) eine dielektrische Schicht (3) und eine erste Elektrodenschicht (4) aufgebracht werden,
  - bei dem eine Isolationsstruktur (7) gebildet wird, die die dielektrische Schicht (3) und die erste Elektrodenschicht (4) strukturiert,
  - bei dem durch Strukturieren der ersten Elektrodenschicht (4) eine Gateelektrode (10) gebildet wird,
  - bei dem auf einander gegenüberliegenden Seiten der Gateelektrode (10) ein erster Graben (12) und ein zweiter Graben (13) erzeugt werden, die jeweils bis in das Halbleitersubstrat (2) hineinreichen,
  - bei dem eine dielektrische Struktur (15) gebildet wird, die den Boden des ersten Grabens (12) und des zweiten Grabens (13) bedeckt,
  - bei dem im ersten Graben (12) und im zweiten Graben (13) oberhalb der dielektrischen Struktur (3) jeweils eine Halbleiterstruktur (17) gebildet

wird, die eines Source-/Draingebietes (17, 18) ist,

5. Verfahren nach Anspruch 4, bei dem zur Bildung der Isolationsstruktur (7) ein Isolationsgraben (6) geätzt wird, der mit isolierendem Material gefüllt wird.
6. Verfahren nach Anspruch 4, bei dem die Isolationsstruktur (7) durch lokale Oxidation gebildet wird.
7. Verfahren nach einem der Ansprüche 4 bis 6,
  - bei dem nach der Bildung der Isolationsstruktur (7) eine zweite Elektrodenschicht (8) gebildet wird,
  - bei dem zur Bildung der Gateelektrode (10) die erste Elektrodenschicht (4) und die zweite Elektrodenschicht (8) strukturiert werden, so daß die Gateelektrode (10) ein unteres Elektrodenteil (4') und ein oberes Elektrodenteil (8') aufweist.
8. Verfahren nach einem der Ansprüche 4 bis 7,
  - bei dem an den Flanken der Gateelektrode (10) isolierende Spacer (11) gebildet werden,
  - bei dem die Gateelektrode (10) mit isolierendem Material bedeckt wird,
  - bei dem der erste Graben (12) und der zweite Graben (13) durch selektives Ätzen gebildet werden, bei dem das Halbleitermaterial selektiv zu den isolierenden Spacern (11), dem isolierendem Material und der Isolationsstruktur (7) angegriffen wird.
9. Verfahren nach einem der Ansprüche 4 bis 8, bei dem die Halbleiterstrukturen (17) durch selektive Epitaxie gebildet werden.

Hierzu 3 Seite(n) Zeichnungen

Fig 7

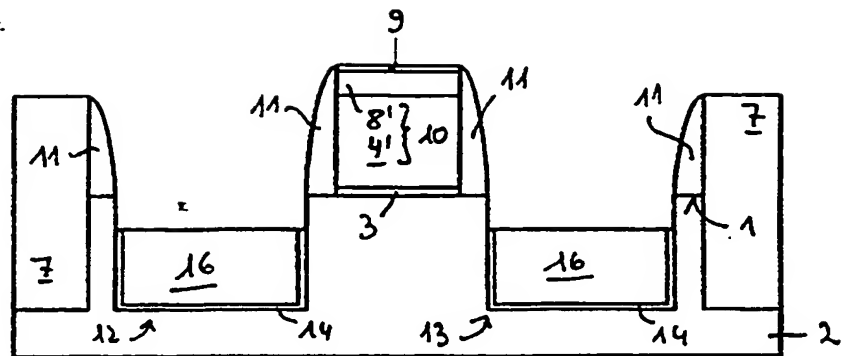


Fig 8

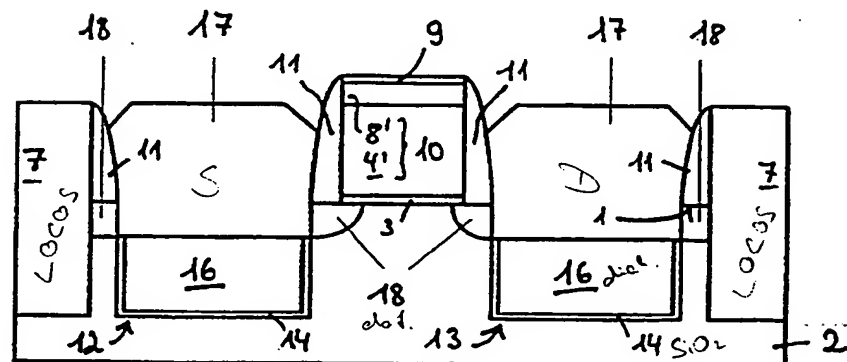


Fig 1

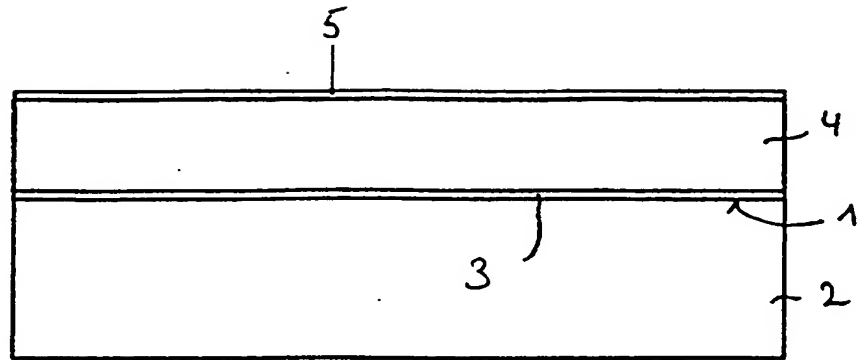


Fig 2

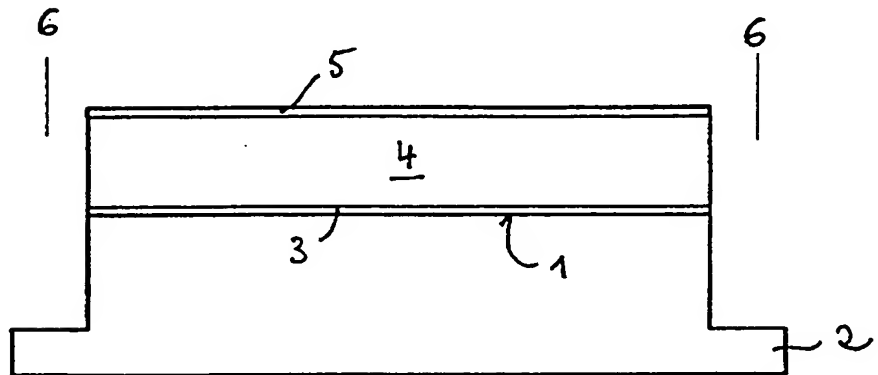


Fig 3

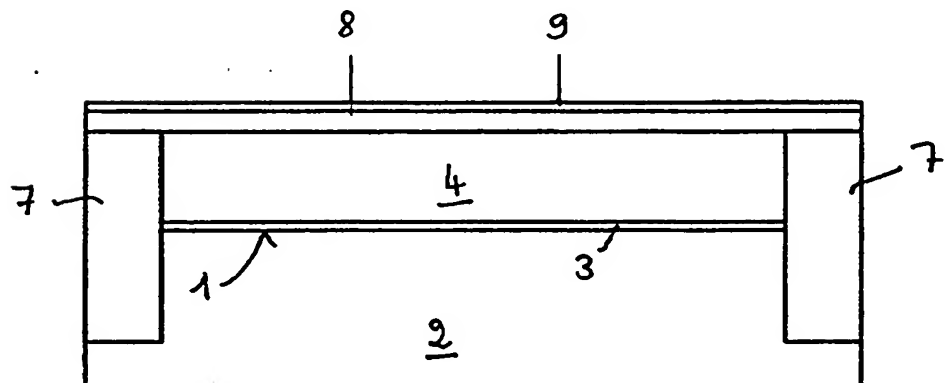


Fig 4

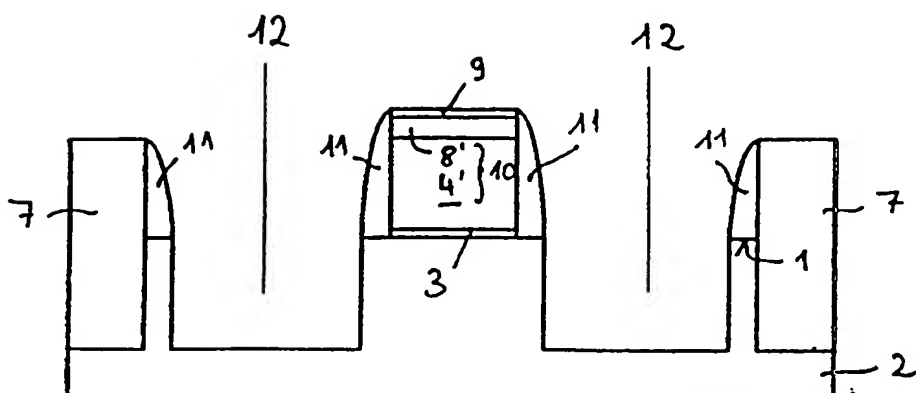


Fig 5

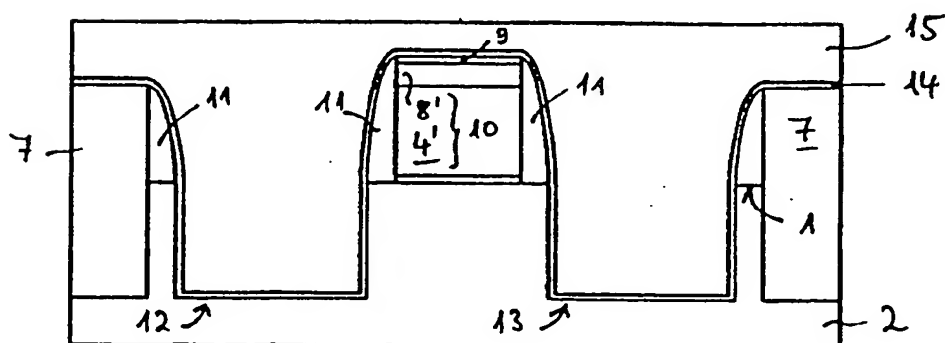


Fig 6

